

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-58695
(P2000-58695A)

(43) 公開日 平成12年2月25日 (2000.2.25)

(51) Int.Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 1 L 23/12

H 0 1 L 23/12

L

審査請求 未請求 請求項の数 6 (全 7 頁)

(21) 出願番号

特願平10-221559

(22) 出願日

平成10年8月5日 (1998.8.5)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 下石坂 望

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 吉田 隆幸

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外2名)

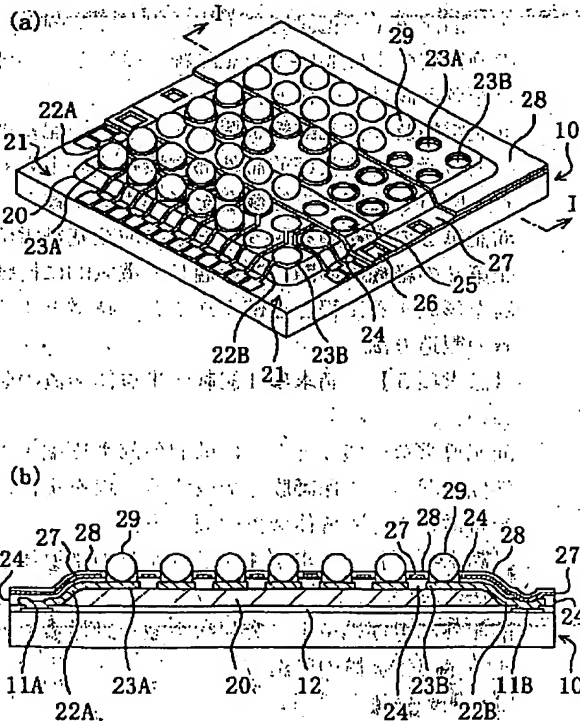
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体チップを有し、外部からの雑音成分による影響を受けにくく、かつ半導体チップ自身からの不要ふく射が少ない半導体装置を実現する。

【解決手段】 半導体チップ10の主面に通常電極11Aと基準電位電極11Bとを露出して形成された第1の絶縁層20と、各々通常電極11Aと基準電位電極11Bとから延び第1の絶縁層20上のランド23A、23Bに接続された金属配線22A、22Bと、基準電位電極11B上の金属配線22Bとランド23A、23Bとを露出した第2の絶縁層24と、第2の絶縁層24上に形成され基準電位電極11B上の金属配線22Bに電気的に接続された遮蔽金属層27と、ランド23A、23Bを露出して形成されたソルダーレジスト28と、金属ボール29とを備える。半導体チップ10の基準電位と等電位になる遮蔽金属層27によって、雑音成分による影響と半導体チップ10からの不要ふく射とが抑制される。



(2)

【特許請求の範囲】

【請求項 1】 主面上に電極と基準電位に接続される基準電位電極とが配置された半導体チップと、前記主面上に設けられ、かつ前記電極の上方対応部位及び前記基準電位電極の上方対応部位が各々開口された第 1 の絶縁層と、

前記電極に前記第 1 の絶縁層の開口部を通じて接続され、かつ前記第 1 の絶縁層の上へ延出された配線と、前記第 1 の絶縁層の上に前記配線に接続されて設けられ、外部機器との間で信号を授受するための外部電極端子と、

前記電極及び前記配線を覆うとともに前記基準電位電極の上方対応部位及び前記外部電極端子の上方対応部位が各々開口された第 2 の絶縁層と、

前記第 2 の絶縁層を覆うとともに前記基準電位電極に前記第 2 の絶縁層の開口部を通じて電気的に接続された導電層とを備えたことを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記導電層を覆うとともに前記外部電極端子の上方対応部位が開口された保護膜を更に備えたことを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 記載の半導体装置において、前記外部電極端子上に突起状電極を設けたことを特徴とする半導体装置。

【請求項 4】 電極と基準電位に接続される基準電位電極とを有する半導体チップの主面上に第 1 の絶縁層を前記電極の上方対応部位及び前記基準電位電極の上方対応部位を各々開口した状態で形成する工程と、

前記電極に前記第 1 の絶縁層の開口部を通じて接続し、かつ前記第 1 の絶縁層の上へ延出した配線と、前記第 1 の絶縁層の上において前記配線に接続した外部電極端子とを各々設ける工程と、

前記電極及び前記配線を覆うとともに前記基準電位電極の上方対応部位及び前記外部電極端子の上方対応部位を各々開口した第 2 の絶縁層を形成する工程と、

前記第 2 の絶縁層を覆うとともに前記基準電位電極に前記第 2 の絶縁層の開口部を通じて電気的に接続した導電層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 記載の半導体装置の製造方法において、前記導電層を覆うとともに前記外部電極端子の上方対応部位を開口した保護膜を形成する工程を更に備えたことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 4 又は 5 記載の半導体装置の製造方法において、前記外部電極端子上に突起状電極を設けることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

2

【00001】

【発明の属する技術分野】 本発明は、トランジスタ等の半導体素子を含む集積回路部を保護し、外部装置に対する電気的な接続を確保し、より高密度な実装を可能にするとともに、外部からの雑音による影響と外部への不要ふく射とが少ない半導体装置及びその製造方法に関するものである。

【00002】

【従来の技術】 近年、電子機器の小型化、高機能化に伴い、半導体装置に対して小型化、高密度化、高速化が要求されるようになってきた。このため、例えば、メモリー用パッケージとしては LOC (リード・オン・チップ) や SON (スモール・アウトライン・ノンリード) 等が開発され、あるいは TAB テープを利用した μ BGA (マイクロ・ボール・グリッド・アレイ) (特表平 06-504408 号公報) といったパッケージが開発されている。

【00003】 以下、 μ BGA と呼ばれる従来の半導体装置及びその製造方法について、図 5 を参照しながら説明する。図 5 は、 μ BGA と呼ばれる従来の半導体装置を示す断面図である。図 5 において、101 はトランジスタ等の半導体素子を内蔵する半導体チップ、102 は半導体チップ 101 上に設けられた配線回路シート、103 は半導体チップ 101 と配線回路シート 102 との間に介在するしなやかな低弾性率材料、104 は配線回路シート 102 が有する部分リード、105 は半導体チップ 101 が有する電極、106 は配線回路シート 102 の電極であって半導体装置と外部装置とを接続するための外部電極である。図 5 に示すように、 μ BGA と呼ばれる半導体装置は、半導体チップ 101 上に低弾性率材料 103 を介して配線回路シート 102 が接合された構造を有し、半導体チップ 101 の電極 105 と配線回路シート 102 の外部電極 106 とが、部分リード 104 を介して電気的に接続されたものである。

【00004】 次に、 μ BGA と呼ばれる従来の半導体装置の製造方法を図 5 を参照して説明する。まず、半導体チップ 101 上に、外部電極 106 と該外部電極 106 から延設された部分リード 104 とを有する配線回路シート 102 を、低弾性率材料 103 を介して載置する。次に、「TAB」(テープ・オート・メーテッド・ボンディング) 作業で電気的に接続する際に通常用いられる従来の熱圧着技術又は超音波ボンディング技術によって、部分リード 104 と電極 105 とを電気的に接続する。以上の方法により、 μ BGA と呼ばれる半導体装置を製造していた。

【00005】

【発明が解決しようとする課題】 しかしながら、上記従来の半導体装置によれば、電極 105 及び部分リード 104 が電気的に遮蔽されない構造になっているので、半導体チップ 101 が外部からの雑音成分によって影響を

50

(3)

3

受けやすく、かつ、半導体チップ101自身の不要ふく射も大きくなるので、高速動作に適さないという欠点を有していた。

【0006】本発明は、上記従来の課題に鑑み、半導体チップの基準電位電極に電氣的に接続された金属配線層を電氣的な遮蔽層として用いることにより、外部からの雑音成分の影響を受けにくく、かつ半導体装置自身の不要ふく射を削減できる半導体装置及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】この目的を達成するために、本発明に係る半導体装置は、主面上に電極と基準電位に接続される基準電位電極とが配置された半導体チップと、主面上に設けられ、かつ電極の上方対応部位及び基準電位電極の上方対応部位が各々開口された第1の絶縁層と、電極に第1の絶縁層の開口部を通じて接続され、かつ第1の絶縁層の上へ延出された配線と、第1の絶縁層の上に配線に接続されて設けられ、外部機器との間で信号を授受するための外部電極端子と、電極及び配線を覆うとともに基準電位電極の上方対応部位及び外部電極端子の上方対応部位が各々開口された第2の絶縁層と、第2の絶縁層を覆うとともに基準電位電極に第2の絶縁層の開口部を通じて電氣的に接続された導電層とを備えている。

【0008】これにより、半導体チップの配線と電極とを覆う第2の絶縁層の上に、基準電位電極と電氣的に接続された導電層を設けたので、外部からの雑音成分による影響を受けにくく、かつ半導体チップ自身からの不要ふく射を発生しにくい半導体装置となる。

【0009】ここにおいて、本発明の半導体装置は、導電層を覆うとともに外部電極端子の上方対応部位が開口された保護膜を更に備えていることが好ましい。これにより、外部電極端子以外の部分が保護膜によって覆われるので、外部電極端子以外の部分における配線の断線や短絡が防止されて、高い信頼性を有する半導体装置となる。

【0010】本発明の半導体装置は、外部電極端子上に突起状電極を設けたこととしてもよい。これにより、半導体装置と外部機器との間で、突起状電極を介して一層確実に信号を授受できる。

【0011】また、本発明に係る半導体装置の製造方法は、電極と基準電位に接続される基準電位電極とを有する半導体チップの主面上に第1の絶縁層を電極の上方対応部位及び基準電位電極の上方対応部位を各々開口した状態で形成する工程と、電極に第1の絶縁層の開口部を通じて接続し、かつ第1の絶縁層の上へ延出した配線と、第1の絶縁層の上において配線に接続した外部電極端子とを各々設ける工程と、電極及び配線を覆うとともに基準電位電極の上方対応部位及び外部電極端子の上方対応部位を各々開口した第2の絶縁層を形成する工程

4

と、第2の絶縁層を覆うとともに基準電位電極に第2の絶縁層の開口部を通じて電氣的に接続した導電層を形成する工程とを備えている。

【0012】この方法によれば、第2の絶縁層上に導電層を形成すると同時に該導電層を基準電位電極と電氣的に接続するので、導電層と基準電位電極とを接続する専用工程を不要にすることができる。したがって、少ない工数で、外部からの雑音成分による影響を受けにくく、かつ半導体チップ自身からの不要ふく射を発生しにくい半導体装置を製造することができる。

【0013】ここにおいて、本発明の半導体装置の製造方法は、導電層を覆うとともに外部電極端子の上方対応部位を開口した保護膜を形成する工程を更に備えていることが好ましい。これにより、外部電極端子以外の部分を保護膜で覆うので、外部電極端子以外の部分における配線の断線や短絡を防止することにより、高い信頼性を有する半導体装置を得ることができる。

【0014】また、本発明の半導体装置の製造方法は、外部電極端子上に突起状電極を設けることとしてもよい。これにより、半導体装置と外部機器との間で、突起状電極を介して一層確実に信号を授受することができる半導体装置が得られる。

【0015】

【発明の実施の形態】本発明に係る半導体装置及びその製造方法について、図面を参照しながら説明する。図1(a)は、本発明に係る半導体装置の概略を、ソルダーレジストと遮蔽金属層と第2の絶縁層とを部分的に開口し、かつ金属ボールを一部除去して示す斜視図であり、図1(b)は図1(a)のI-I線における断面図である。

【0016】図1(a)、(b)において、10はドラジスタ等の半導体素子を有する半導体チップ、11Aは半導体チップ10の主面上における外周部に設けられ外部との間で信号を授受するための通常電極、11Bは半導体チップ10の主面上における外周部に設けられ半導体チップ10の基準電位に接続された基準電位電極、12は半導体チップ10の主面上において通常電極11Aと基準電位電極11Bとを露出して設けられたパッシベーション膜である。

【0017】そして、20は半導体チップ10の主面上に形成された第1の絶縁層、21は第1の絶縁層20に形成され通常電極11Aと基準電位電極11Bとを露出した第1の開口部、22Aは第1の開口部21において通常電極11Aに接続され第1の絶縁層20上へと延びる金属配線、22Bは第1の開口部21において基準電位電極11Bに接続され第1の絶縁層20上へと延びる金属配線、23A、23Bは第1の絶縁層20上において金属配線22A、22Bの一端に各々一体的に形成されたランドである。

【0018】更に、24は半導体チップ10の主面にお

50

(4)

いてランド23A、23Bと基準電位電極11B上の金属配線22Bとを露出して形成された第2の絶縁層、25は第2の絶縁層24においてランド23A、23Bを露出して形成された第2の開口部、26は第2の絶縁層24において基準電位電極11B上の金属配線22Bを露出して形成された第3の開口部、27は第2の絶縁層24上に形成され第3の開口部26において金属配線22Bを介して基準電位電極11Bと電気的に接続された遮蔽金属層、28は半導体チップ10の主面上においてランド23A、23Bを露出して形成されたソルダーレジスト、29はランド23A、23B上に各々接合された金属ボールである。

【0019】ここで、本発明の半導体装置の特徴は、第2の絶縁層24上にあって半導体チップ10の通常電極11Aと金属配線22Aとを覆うように形成された遮蔽金属層27が、次のように電気的に接続されていることである。すなわち、遮蔽金属層27はそれぞれ、金属配線22B、基準電位電極11Bを順次介して半導体チップ10の基準電位に接続されているとともに、外部電極端子であるランドのうちの対応するランド23Bに接続されている。更に、半導体装置が外部機器に実装された後には、遮蔽金属層27は、金属配線22Bとランド23Bと金属ボール29とを順次介して、半導体チップ10の基準電位に等しい外部機器の基準電位に接続されたことになる。したがって、半導体装置の基準電位に等しい電位を有する遮蔽金属層27により、外部からの雑音成分による影響を受けにくく、かつ、半導体チップ10自身からの不要ふく射を低減できる半導体装置が実現される。

【0020】以下、本発明に係る半導体装置の製造方法について、図2～図4を参照しながら説明する。図2

(a)～(d)は、本発明に係る製造方法のうちメッキレジストパターン形成までの各工程をそれぞれ示す断面図である。

【0021】まず、図2(a)に示すように、通常電極11Aと基準電位電極11Bとを露出してパッシベーション膜12が設けられた半導体チップ10の主面上に、感光性絶縁材料30を、例えば100μm程度の厚さに塗布する。ここで、感光性絶縁材料30としては、例えばエステル結合型ポリイミドやアクリレート系エポキシ等の、感光性と絶縁性とを有するポリマーであればよい。

【0022】次に、図2(b)に示すように、乾燥と露光と現像とを順次行うことにより感光性絶縁材料30をパターンングし、通常電極11Aと基準電位電極11Bとを露出する第1の開口部21を有する第1の絶縁層20を形成する。

【0023】次に、図2(c)に示すように、半導体チップ10の主面の全面において、真空蒸着法により、例えば、Ti/Cuからなる薄膜金属層31を0.05μ

m程度の厚さに形成する。ここで、真空蒸着法に代えて、無電解めっき法、スパッタリング法、あるいはCVD法を用いてもよい。

【0024】次に、図2(d)に示すように、薄膜金属層31上にネガ型感光性レジストを塗布し、露光して、仕上げ製品における所望のパターン部以外の部分、つまり感光部を硬化させる。その後に、所望のパターン部、つまり未感光部を除去することにより、メッキレジストパターン32を形成する。なお、ここでは、メッキレジストパターン32を形成するためにネガ型感光性レジストを用いたが、ポジ型感光性レジストを用いてもよい。この場合には、露光の際に、白黒が反転されたフォトマスクを用いることになる。

【0025】図3(a)～(d)は、本発明に係る製造方法のうち厚膜金属層形成から第2の絶縁層形成までの各工程をそれぞれ示す断面図である。

【0026】図2(d)に示した工程の次に、図3(a)に示すように、電解めっき法により、メッキレジストパターン32が形成された部分以外の薄膜金属層31上に、厚膜金属層33を選択的に形成する。ここで、厚膜金属層33を、例えばCuを用いて20μm程度の厚さに形成する。

【0027】次に、図3(b)に示すように、メッキレジストパターン32を溶融して除去する。

【0028】次に、図3(c)に示すように、薄膜金属層31と厚膜金属層33とを溶融するエッチング液、例えば塩化第二銅溶液を用いてCuを全面エッチングした後に、EDTA溶液を用いてTiを全面エッチングすることにより、厚膜金属層33よりも小さい層厚を有する薄膜金属層31の方を先行して除去する。したがって、所望の領域において、それぞれ厚膜金属層33と薄膜金属層31とからなる、金属配線22A、22B、ランド23A、23Bが形成される。ここで、メッキレジストパターン32を除去した後に、フォトリソグラフィ技術を用いて、所望するパターンの上にエッチングレジストを形成することにより、厚膜金属層33を保護してもよい。

【0029】次に、図3(d)に示すように、半導体チップ10の主面の全面に感光性絶縁材料を塗布した後に、図2(b)に示した第1の絶縁層20を形成する工程と同様にして、第2の絶縁層24を形成する。形成された第2の絶縁層24により、半導体チップ10の主面上において、ランド23A、23Bと、基準電位電極11B上の金属配線22Bとを露出し、かつ、残りの部分を保護する。この際に、ランド23A、23Bの部分には第2の開口部25を、基準電位電極11B上の金属配線22Bの部分には第3の開口部26を形成することになる。

【0030】図4(a)～(d)は、本発明に係る製造方法のうち遮蔽金属層形成から金属ボール接合までの各

(5)

7

工程をそれぞれ示す断面図である。

【0031】図3(d)に示した工程の次に、図4

(a)に示すように、半導体チップ10の主面の全面において、真空蒸着法により、例えば、Cuからなる遮蔽金属層27を0.5 μ m程度の厚さに形成する。このことにより、遮蔽金属層27は、それぞれ第2の絶縁層24に形成された、第3の開口部26において金属配線22Bを介して基準電位電極11Bと電気的に接続されるとともに、第2の開口部25においてランド23A、23Bに対して電気的に接続される。ここで、真空蒸着法に代えて、無電解めっき法、スパッタリング法、あるいはCVD法を用いてもよい。

【0032】次に、図4(b)に示すように、遮蔽金属層27上において、ランド23A、23B以外の領域にフォトリソグラフィ技術によりエッチングレジストパターン34を形成し、エッチングレジストパターン34で覆われていない遮蔽金属層27を、例えば塩化第二銅溶液を用いてエッチングする。このことにより、第2の開口部25上の遮蔽金属層27を、つまり遮蔽金属層27がランド23A、23Bと短絡している部分を除去する。この場合には、短絡している部分を確実に除去するために、エッチングレジストパターン34を、第2の絶縁層24が有する第2の開口部25よりも大きな開口を有するようにして形成する。

【0033】次に、図4(c)に示すように、エッチングレジストパターン34を除去した後に、半導体チップ10の主面上において、ランド23A、23B以外の領域にソルダーレジスト28を形成する。このことにより、ランド23A、23Bのみを露出するとともに、遮蔽金属層27を保護する。

【0034】次に、図4(d)に示すように、ランド23A、23B上に金属ボール29を載置した後に、金属ボール29とランド23A、23Bとを溶融して接合する。ここで、金属ボール29の材料としては、半田、銅、ニッケル等、又は半田メッキされた金属を用いる。

【0035】以上説明したように、本発明に係る半導体装置の製造方法によれば、半導体チップ10の通常電極11Aと金属配線22Aとを覆うようにして設けられた第2の絶縁層24の表面に遮蔽金属層27を形成し、同時に、第2の絶縁層24に形成された第3の開口部26において、遮蔽金属層27と半導体チップ10の基準電位電極11Bとを電気的に接続する。このことにより、遮蔽金属層27と基準電位電極11Bとを電気的に接続するための専用工程を不要にすることができる。したがって、遮蔽金属層27により、外部からの雑音成分による影響を受けにくく、かつ半導体チップ10自身からの不要ふく射を低減できる半導体装置を、工程を削減して低コストで製造できる。

【0036】なお、以上の説明においては、感光性絶縁材料30として液状の材料を塗布したが、これに代え

8

て、予めフィルム状に形成され感光性と絶縁性とを有する材料を用いてもよい。この場合には、フィルム状の感光性絶縁材料30を半導体チップ10の主面上に貼りあわせ、露光、現像することにより、第1の絶縁層20に第1の開口部21を形成して、半導体チップ10の通常電極11Aと基準電位電極11Bとを露出する。

【0037】また、感光性絶縁材料30に代えて、感光性を有しない絶縁材料を用いてもよい。この場合には、レーザー、プラズマ、サンドブラスト等の機械的な加工又はエッチング等の化学的加工により、半導体チップ10の通常電極11Aと基準電位電極11Bとを露出すればよい。

【0038】また、Cuからなる遮蔽金属層27に代えて、例えばCu、Ag等の粒子を含む導電性樹脂からなる遮蔽層を用いてもよい。この場合には、印刷法、スピンコート法等を用いて、導電性樹脂を第2の絶縁層24上に塗布することにより、遮蔽層を形成することができる。

【0039】更に、通常電極11Aと基準電位電極11Bとが半導体チップ10の主面上における外周部に設けられた場合について説明したが、これに限らず、通常電極11Aと基準電位電極11Bとが半導体チップ10の主面上における中央部に設けられ、その中央部で第1の絶縁層20に第1の開口21が形成された場合にも、本発明の半導体装置及びその製造方法を適用できることはいうまでもない。

【0040】

【発明の効果】本発明の半導体装置によれば、第2の絶縁層24にあって半導体チップの通常電極と金属配線とを覆うように形成された遮蔽金属層が、半導体チップの基準電極と電気的に接続されているので、外部からの雑音成分による影響を受けにくく、かつ、半導体チップからの不要ふく射を低減できる。

【0041】また、本発明の半導体装置の製造方法によれば、遮蔽金属層と基準電位電極とを電気的に接続するための専用工程を不要にして、少ない工数で本発明の半導体装置を製造することができる。

【図面の簡単な説明】

【図1】(a)は、構成要素の一部を部分的に開口し、かつ構成要素の別の一部を除去して本発明に係る半導体装置の概略を示す斜視図であり、(b)は(a)のI-I線における断面図である。

【図2】(a)～(d)は、本発明に係る製造方法のうちメッキレジストパターン形成までの各工程をそれぞれ示す断面図である。

【図3】(a)～(d)は、本発明に係る製造方法のうち厚膜金属層形成から第2の絶縁層形成までの各工程をそれぞれ示す断面図である。

【図4】(a)～(d)は、本発明に係る製造方法のうち遮蔽金属層形成から金属ボール接合までの各工程をそ

50

(6)

9

れぞれ示す断面図である。

【図5】 μ BGAと呼ばれる従来の半導体装置を示す断面図である。

【符号の説明】

10 半導体チップ

11A 通常電極

11B 基準電位電極

12 パッシベーション膜

20 第1の絶縁層

21 第1の開口部

22A, 22B 金属配線 (配線)

23A, 23B ランド (外部電極端子)

24 第2の絶縁層

25 第2の開口部

26 第3の開口部

27 遮蔽金属層 (導電層)

28 ソルダレジスト (保護膜)

29 金属ボール (突起状電極)

30 感光性絶縁材料

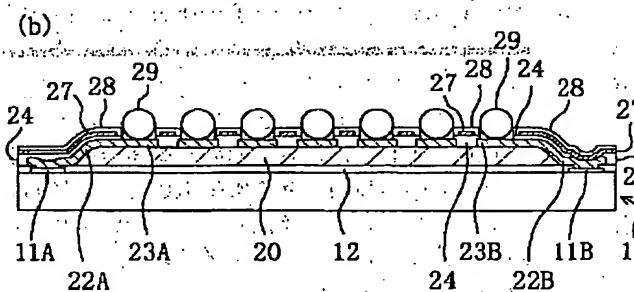
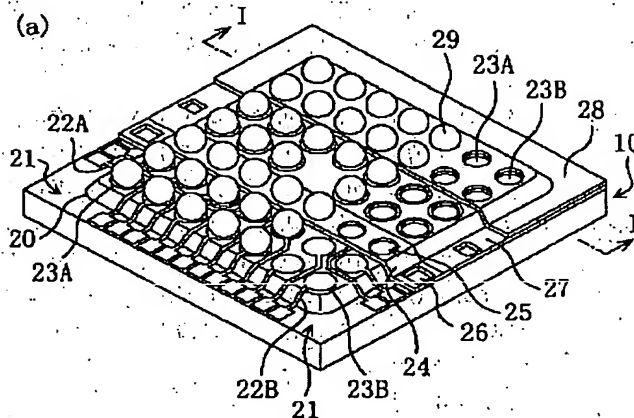
31 薄膜金属層

32 メッキレジストパターン

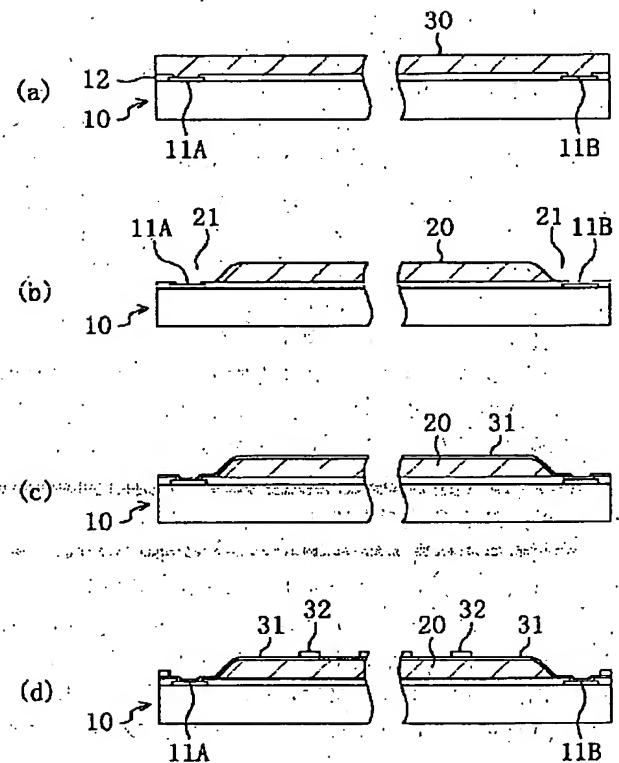
10 33 厚膜金属層

34 エッチングレジストパターン

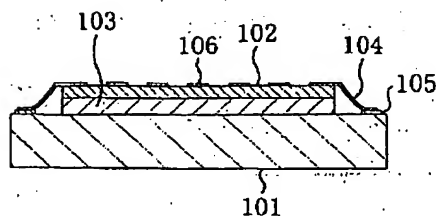
【図1】



【図2】

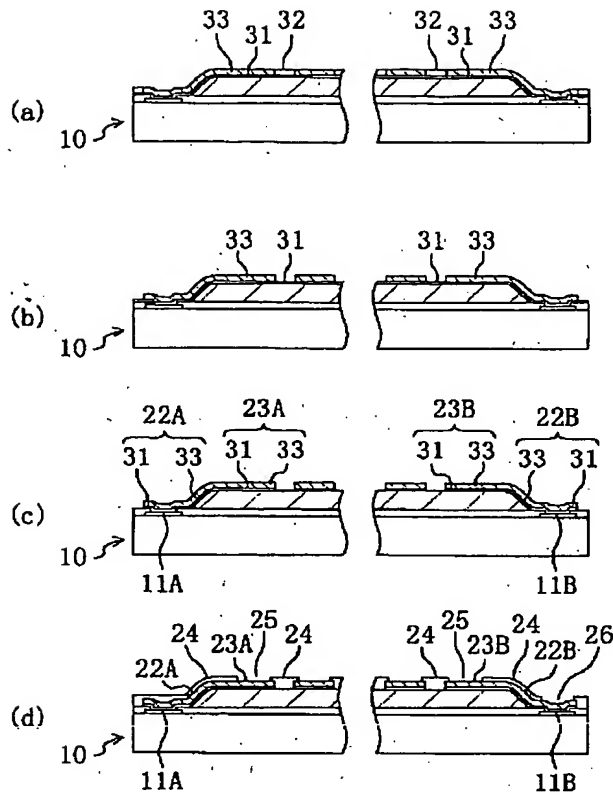


【図5】

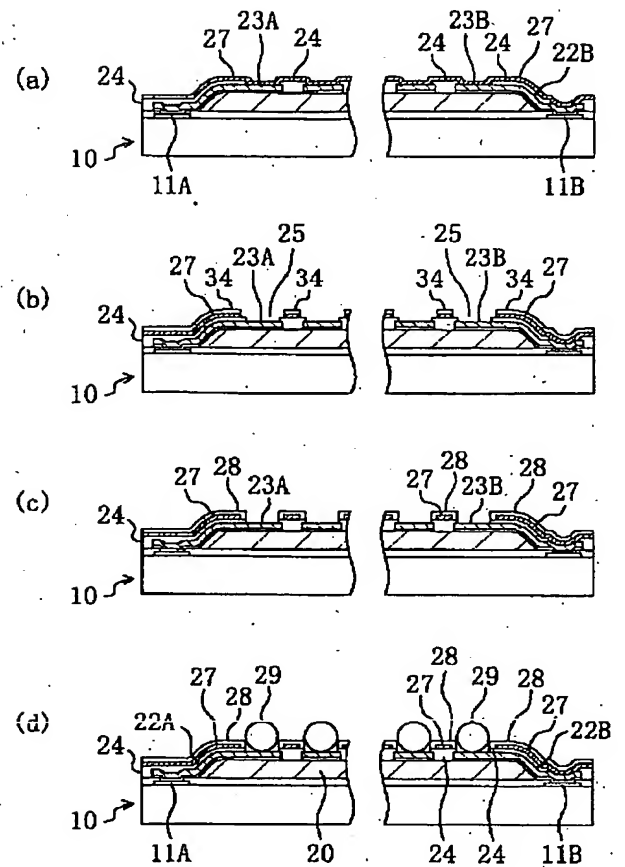


(7)

【図3】



【図4】



フロントページの続き

(72)発明者 佐原 隆一
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 中村 嘉文
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 隈川 隆博
大阪府高槻市幸町1番1号 松下電子工業
株式会社内